

# 一种基于新体系结构的 空间固态记录器原型系统

张 科<sup>1,2</sup>, 郝智泉<sup>1,2</sup>, 王贞松<sup>1</sup>

(1. 中国科学院计算技术研究所普适计算研究中心, 北京 100080;

2. 中国科学院研究生院, 北京 100049)

**摘 要:** 为适应未来对地观测卫星系统对数据吞吐速率和通信带宽的增长需求, 本文提出并实现了一种基于新体系结构的, 由若干存储模块依靠高速串行互连构成的空间固态记录器原型系统. 存储模块采用 DDR SDRAM 提高吞吐率, 配置高速串行接口完成模块间互连, 利用单数据总线、双地址总线的存储拓扑结构增加模块内部存储容量, 并使用可编程逻辑器件 FPGA 管理和控制存储资源. 同时, 应用多层次通信接口协议保证通信链路质量. 单模块存储容量可达 8GB, 访存带宽可达 3.2GBps, 物理通信带宽高达 25Gbps. 模块间的高速串行链路误码率可低于  $10^{-11}$ .

**关键词:** 固态记录器; 高速串行链路; 存储模块; 可编程逻辑器件 FPGA; DDR SDRAM 存储控制器

**中图分类号:** TP333; V447 **文献标识码:** A **文章编号:** 0372-2112(2008)02-0285-06

## A Novel Architecture Prototype of Space Solid State Recorder

ZHANG Ke<sup>1,2</sup>, HAO Zhi quan<sup>1,2</sup>, WANG Zhen song<sup>1</sup>

(1. Research Center for Pervasive Computing, Institute of Computing Technology, Chinese Academy of Sciences, Beijing 100080, China;

2. Graduate University of the Chinese Academy of Sciences, Beijing 100049, China)

**Abstract:** To meet the future demands of earth observation satellites, this paper presents a novel architecture and describe the implementation of a prototype named Space Solid State Recorder with several Memory Modules (MMs) connected by high speed serial links. The MM utilizes an FPGA and DDR SDRAM to boost throughput, and adopts a featured SDDA (Single Data bus, Double Address bus) storage topology to manage and control these memory chips efficiently. Through high speed serial transceivers embedded in the FPGA chip, several MMs interconnect with each other to form the Space Solid State Recorder. To ensure the quality of serial links, a multilayer communication interface protocol stack that consists of a physical layer, link layer and message layer is proposed. As a result, the MM can provide storage capacity of 8GB, and its memory bandwidth approaches 3.2GBps. Furthermore, the physical bandwidth of the communication interface can reach up to 25Gbps. Moreover, the bit error rate (BER) of the interface in Space Solid State Recorder system is below  $10^{-11}$ .

**Key words:** solid state recorder; high speed serial links; memory module; field programmable gate array (FPGA); double data rate (DDR) SDRAM memory controller

## 1 引言

在空间环境中, 相比传统磁性存储器, 固态记录器 (Solid State Recorder, SSR) 无论在读写速度、存储容量、抗震性还是可靠性等诸多方面, 都具有极大优势<sup>[1,2,5]</sup>. 容量更大, 速度更高是固态记录器的发展趋势. 然而, 传统的存储芯片和并行总线制约了固态记录器性能的提升, 其体系结构必须得到改善.

目前实用的固态记录器主要使用 Flash 和 DRAM 两类存储器件. Flash 具有断电非易失性. 尽管其存储密度

不断增加, 但写入速度较慢的缺点增加了 Flash 在高速数据记录环境中的使用难度<sup>[3,4]</sup>. DRAM 是另一种主流的半导体存储器件, 其颗粒的存储密度很高, 有较好的抗辐照性能, 而且读写速度相比 Flash 有显著优势. 但由于其存储的信息断电易失, 所以需要航天系统配备太阳能电池系统持续供电<sup>[5]</sup>. 表 1 列出了几种典型的使用 DRAM 作为存储介质的固态记录器设备.

通过表 1 可以看出, SDRAM 已经成为固态记录器使用的主流存储介质之一. 但是, 这种单倍数据率的 SDRAM 将会制约以后固态记录器内部访存带宽的增

表 1 几种典型的使用 DRAM 的固态记录器

固态记录器所在的空间平台	研制国家和机构	发射时间	器件类型	存储容量	存储速度	互连总线
Cassini 飞船 <sup>[6]</sup>	美国 NASA	1997 年	DRAM	2.5Gb	4Mbps	—
哈勃太空望远镜 <sup>[7]</sup>	美国 NASA	1997 年	DRAM	12Gb	—	—
Landsat 7 卫星 <sup>[8]</sup>	美国 NASA	1999 年	DRAM	378Gb	150Mbps	—
MESSENGER 水星探测器 <sup>[9]</sup>	美国 NASA	2004 年	SDRAM	1GB	—	Compact PCI
ALOS 卫星 <sup>[10]</sup>	日本 JAXA	2006 年	DRAM	近 100GB	—	—
下一代对地观测卫星 <sup>[11]</sup>	日本 JAXA	(原型系统)	SDRAM	200GB	2.5Gbps	Compact PCI (33MHz)
空间太阳望远镜卫星 <sup>[12]</sup>	中国	(地面原理样机)	DRAM	2GB(单模块)	—	—

长。DDR SDRAM 在时钟的上、下触发沿都能进行数据传输,所以在不提高时钟频率的前提下,可以增加一倍的访存带宽。这在空间环境不便提高时钟频率的情况下非常有利。JAXA 已经考虑使用 DDR 来提高未来星载固态记录器的访存带宽<sup>[11]</sup>。因此,采用 DDR SDRAM 将是空间应用固态记录器的一种发展趋势。

另一方面,在提高固态记录器访存带宽的同时,必然对其通信带宽提出了更高的要求。目前固态记录器的内部互连均采用并行方式,如 Compact PCI 总线。高速串行互连是一种较新的传输技术。它一般采用差分线,信号线较少,节省了芯片 I/O 资源,使电路板布线简单,而且传输距离较长,串行互连的通信带宽较并行总线有极大提高。目前已有高端 FPGA 芯片使用片内硬件模块,实现高速串行通信传输方式。

因此,根据空间固态记录器发展的趋势,本文提出了一种基于 DDR SDRAM、多存储模块高速串行互连的固态记录器新体系结构,并实现了空间固态记录器原型系统(以下简称“原型系统”)。原型系统的存储模块容量达 8GB,访存带宽为 3.2GBps,并且具有高达 25Gbps 的物理通信总带宽。模块间的高速串行链路误码率可低于  $10^{-11}$ 。这种新的体系结构完全可以满足未来对地观测卫星系统对于数据吞吐速率和通信带宽的增长需求。

## 2 空间固态记录器原型系统的体系结构

### 2.1 体系结构的设计思想

空间固态记录器作为传感器采集数据的存储部分,一端需要实时记录原始数据,另一端需要按照航天设备的下行传输链路回放数据,访存带宽必须与通信带宽相匹配,否则将造成数据流的瓶颈。因此,本文的设计思想是,平衡访存带宽和通信带宽,采用高速串行方式互连多个存储模块以便更好地匹配模块内部的访存带宽。模块内部使用 FPGA 进行访存和控制,采用单数据总线、双地址总线的存储拓扑结构能够提高模块

自身的存储容量。而且,串行互连方式扩展性强,连线数目少,更适合在空间辐照环境下实现容错和冗余措施。

### 2.2 原型系统及其存储模块的体系结构

图 1 是本文提出的空间固态记录器原型系统的体系结构框图。内部的存储模块主要由存储介质 DDR SDRAM DIMM (Dual Inline Memory Module)、存储控制器和高速串行通信接口 MGT (Multi-Gigabit Transceiver) 组成。图中的存储模块 1 和 2 之间利用 SMA 同轴电缆连接 MGT 的 TX 发送和 RX 接收接口,以便传输数据和控制信息。为扩充原型系统的存储容量,若干存储模块可利用单个或多个 MGT 进行高速串行互连,形成一个大

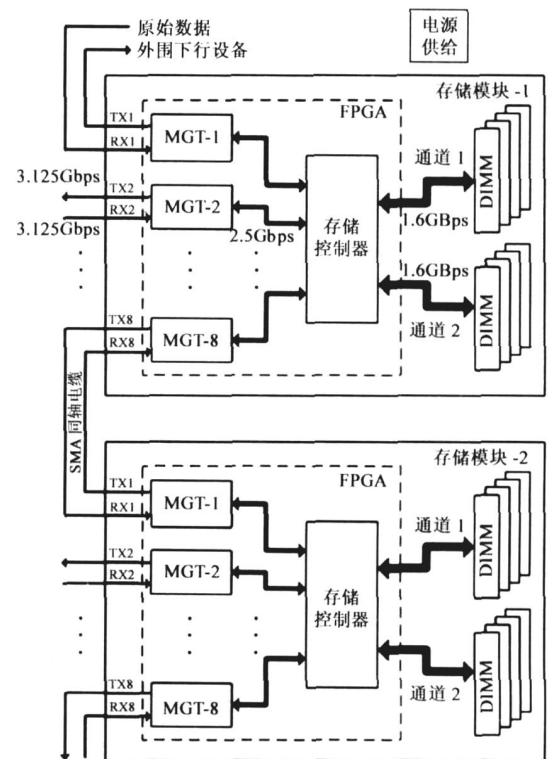


图 1 空间固态记录器原型系统及其存储模块的体系结构

容量固态记录器. 整个原型系统由直流低压电源部分持续供电.

存储模块内部的 8 条 DIMM 分为两组, 构成双通道结构(通道 1 和通道 2). 单条 DIMM 为 64bit 位宽、1GB 容量. 当 DDR 工作时钟频率为 100MHz 时, 存储模块的访存带宽为 3.2Gbps. 存储模块选用 Xilinx 的 RocketIO MGT 收发器作为对外的数据传输接口, 8 个高速 MGT 被集成于一片 FPGA 之中, 单个 MGT 可以提供 600 Mbps 至 3.125Gbps 的传输数据率<sup>[13, 14]</sup>. 因此, 将 8 个 3.125Gbps 的 MGT 收发器信道绑定后, 可以达到 25Gbps 的通信带宽, 从而与访存带宽相匹配. 本文使用 FPGA 内部逻辑来实现存储控制器、数据传输协议、纠错编码以及对通信接口的配置.

由于原型系统采取了以上的体系结构, 其整体性能得到了提高, 表现为: (1) 单个模块具有较大容量的存储空间; (2) 存储模块具有高速串行输入输出通道, 实现了模块化设计, 多个存储模块互连, 可形成大容量存储空间; (3) 系统具有可编程重构特性, 这为提高系统可靠性和实现容错设计提供了可能; (4) 存储模块具有一定的智能特性, 能够完成特定的数据存取协议的识别和解析.

### 2.3 存储模块内部的存储拓扑结构

为提高原型系统的单个模块存储容量, 兼顾 FPGA 芯片引脚的驱动能力和简化系统的复杂程度, 本文提出由一个 DIMM 存储控制器携带四条 DIMM 内存条的存储拓扑结构, 从而构成图 1 中双通道中的一条. 图 2 说明了这种单数据总线、双地址总线的存储拓扑结构. 四条 DIMM 共享一套数据总线, 每两条共享一套地址总线. 存储模块由 FPGA 内部的两个 DIMM 控制器 A 和 B 分别管理 4 条 DIMM. 两个控制器可串行工作也可并行工作. 并行工作时, 能够提高近一倍的访存带宽.

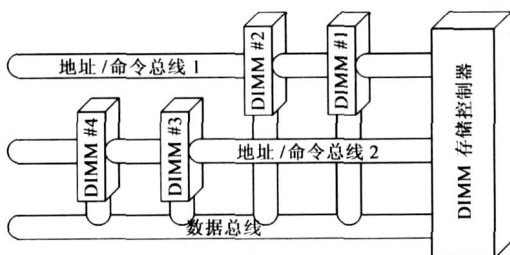


图 2 存储模块的部分存储拓扑结构

为验证 FPGA 芯片驱动重载 DDR 信号的能力, 本文使用 SigXplorer 软件对 FPGA 芯片 I/O 引脚扇出拓扑结构进行仿真和调整, 使所有信号符合 DDR 的 SSIL2 电平标准, 并有足够的时间窗口供接收端采样信号. 最终的仿真结果证明, 使用单数据总线、双地址总线的存储拓扑结构可以保证信号完整性, 并能够应用于空固记录器的存储模块.

## 3 存储模块的多层次通信协议和逻辑模块划分

### 3.1 存储模块通信接口的多层次协议

空间固态记录器原型系统由若干存储模块依靠高速串行链路进行互连. 为保证存储模块之间及存储模块与外部系统之间进行高速可靠的数据通信, 存储模块通信接口使用由 RocketIO 物理层、Aurora 链路层和存储模块访问消息层组成的多层次通信接口协议. 其中的物理层涉及到在信道上传输的原始串行比特流, 并保证低误码率; 链路层用于加强物理层传输能力, 使之对上层显现为一条无错线路, 并且进行流量控制; 消息层主要对来自链路层的数据流进行寻址, 并分发到相关的存储控制器. 关于物理层和链路层可参见文献 [14].

消息层是自定义的存储模块访问协议 (Memory Module Access Protocol, MMAP). 由于链路层 Aurora 协议没有定义寻址策略, 所以需要消息层协议来控制数据流的流向和交换. 存储模块访问协议读操作和写操作的核心机制基本一致. 其中的写操作大致过程为: 存储模块访问协议接收来自 Aurora 的“写请求”数据帧, 解析出数据块首地址、数据块长度和数据块内容. 判断数据块地址范围是否属于本存储模块所有(地址范围或完全属于, 或完全不属于本存储模块). 当 DIMM 控制器处于可访问状态时, 则向其发出相应的写命令, 否则等待. 当 DIMM 控制器完成写操作, 存储模块访问协议则向 Aurora 发出“写应答”数据帧, 通知对方写完.

### 3.2 可编程逻辑芯片的模块划分

根据空间固态记录器原型系统的体系结构需求, FPGA 内部逻辑主要分为四个部分: 存储控制器, 多层次通信协议, 主控模块, 以及主机调试模块. 各部分的相互连接关系如图 3 所示.

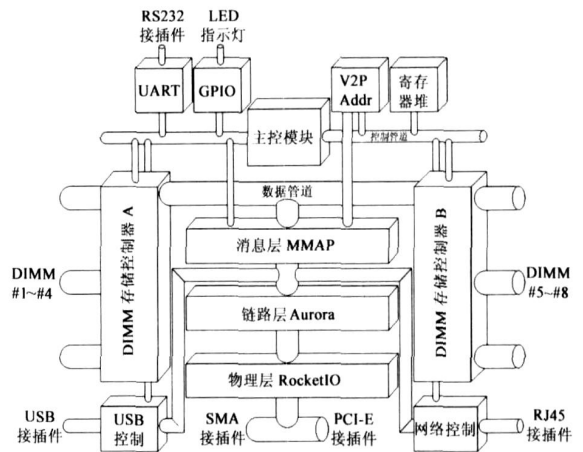


图 3 FPGA 内部逻辑模块及互连关系

如前所述, 存储模块访问协议、Aurora 和 RocketIO 构成了多层次通信接口协议. RocketIO 物理层通过两种

接插件与外部设备连接. 在存储模块访问协议与 DIMM 存储控制器之间具有一条直通的 128bit 位宽的实数据管道, 当有数据交互时, 需要主控模块利用控制管道建立一条虚数据管道. 由于两个 DIMM 控制器可串行也可并行工作, 所以在一条实数据管道上可以同时建立至多两条虚数据管道. 虚数据管道分时复用实数据管道. 此外, 可通过 USB 或网络控制模块进行数据的非实时传输. 另外, 在控制管道上悬挂了四个辅助模块: 转化模块(V2P Addr)完成虚实地址的变换, 寄存器堆用来记录存储模块的运行状态, UART 模块用来向串口输出打印信息, GPIO 模块可以驱动状态指示灯. 在调试过程中所用到的测试和调试模块未在图中画出.

## 4 实验结果

### 4.1 存储模块的接口速率及板级功耗

本文提出的存储模块体系结构已在自行研制设计的空间固态记录器原型系统上验证并实现. 存储模块电路板(如图 4)上具有一片 XC2VP20 系列的 FPGA 芯片. 内部的主控模块、DIMM 控制器和存储模块访问协议模块运行的时钟频率为 100MHz. FPGA 具有两套独立的 DDR 数据通路, 存储总带宽为 3.2Gbps. USB 通信模块的数据率约为 24MBps. 高速串行接口 MGT 经信道绑定之后, 通信带宽最高可达 25Gbps. 在含有调试模块的情况下, FPGA 内部逻辑单元资源利用率为 71% (MGT 为 FPGA 片内独立的硬件模块, 因此不占用逻辑单元). 电路板电源输入为直流 5V, 在对存储介质进行连续读操作时, 电流为 3.2A; 进行连续写操作时, 电流为 3.8A.

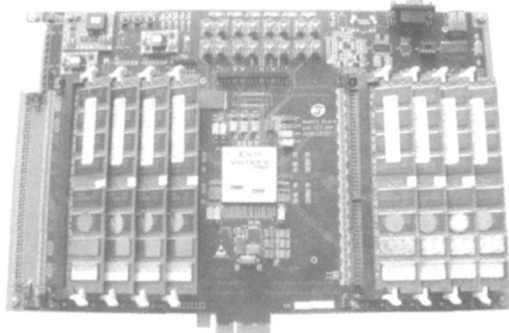


图 4 存储模块电路板

### 4.2 存储模块间的高速串行链路误码率

空间固态记录器原型系统内部各个存储模块依靠高速串行链路互连, 而误码率是衡量高速串行链路的重要性能指标之一. 因此, 链路的误码率直接影响整个固态记录器系统的正确性和稳定性. 误码分为两类, 一类是外部干扰造成的突发误码, 此类误码既无法确知, 也很难定量描述; 另一类误码是内部误码机理造成的随机误码, 可用泊松分布描述. 这里只考虑后者.

#### 4.2.1 误码率测量的理论

若想得到链路的精确误码率, 需要无限长测试时间, 这是不现实的. 文献[15]引入置信度 (Confidence Level) 概念, 使得在测量精度有一定损失的情况下, 保证在有限的测量时间内完成误码率的测量. 文中根据误码的特征, 利用概率理论推导了链路误码率和置信度关系的近似计算公式(1).

$$N = -\frac{\ln(1-CL)}{B} + \frac{\ln\left(\sum_{k=0}^E \frac{(N \times B)^k}{k!}\right)}{B} \quad (1)$$

公式(1)中,  $N$  为某链路在一段时间内传输数据的总比特数,  $E$  为其中错误的比特数,  $CL$  为置信度,  $B$  为对应的链路误码率.

整理公式(1), 并令  $E_m = E$ ,  $E_t = N \times B$ .  $E_m$  表示测量得到的实际误码个数 ( $E_m = 0, 1, 2, \dots$ ),  $E_t$  表示理论计算的真实误码个数 ( $E_t \gg 0$ ). 得到公式(2):

$$CL = 1 - \sum_{k=0}^{E_m} \frac{(E_t)^k \exp(-E_t)}{k!} \quad (2)$$

将实验记录下来的一段时间内系统的实际误码个数代入公式(2), 并选取合适的置信度, 可计算得到系统的理论误码个数, 进而得到基于一定置信度水平的误码率.

#### 4.2.2 误码率测量的实验环境

如图 1, 实验中使用 40cm 的 RG402 型号 SMA 同轴电缆连接两个存储模块电路板上 MGT 收/发物理接头, 形成一个简单的空间固态记录器原型系统. 编写 FPGA 逻辑驱动内部 MGT 高速收发器, 从电缆一端以 3.125Gbps 速率串行发送伪随机二进制序列 ( $1 + x^{28} + x^{31}$ ), 另一端利用关闭循环冗余校验 (Cyclic Redundancy Check, CRC) 功能的 MGT 检测误码个数. 由文献[14]可知, MGT 具有五级输出电压幅度 (TX\_DIFF\_CTRL = 400, 500, 600, 700, 800mV) 和四级输出预加重 (PRE\_EMPHASIS = 10%, 20%, 25%, 33%) 两种属性. 这共计 20 种组合影响着输出信号的质量. 其中预加重的概念是提升发送信号高频分量的能量, 补偿传输线的衰减, 使得信号眼图在接收端张得最开. 本文在室温环境下对这些组合逐一进行时间为 20 分钟的误码个数测试实验.

由于使用 FPGA 自身作为误码率测量工具, 所得误码个数应是整个空间固态记录器原型系统各个部分共同作用的结果. 其中包括 MGT/PCB 布局布线、PCB 特性阻抗、SMA 接头、SMA 同轴电缆等. 这种测量相比使用专用误码测试仪器更加接近系统真实运行时的环境, 也能够更加全面反映原型系统中存储模块的高速串行链路误码性能.

#### 4.2.3 误码率测量的实验数据统计

根据实验所得的不同情况下误码个数, 代入公式

(2), 选定 99% 的置信度, 求解超越方程. 得出系统的理论误码个数, 再除以 20 分钟内链路总传输的比特数, 可得到误码率. 实验共计 20 组. 其中, 预加重为 10% 时, 通信链路不能建立, 即不能测得误码个数, 因此最终得到 15 个误码率结果, 如图 5 所示. 曲线 1 和曲线 2 是 FPGA 内某个 MGT 预加重属性固定为 20% 和 25% 时, 误码率随其输出电压幅度逐渐升高时的变化情况; 曲线 3 是另一个 MGT 预加重属性固定为 33% 时, 相应的误码率变化情况.

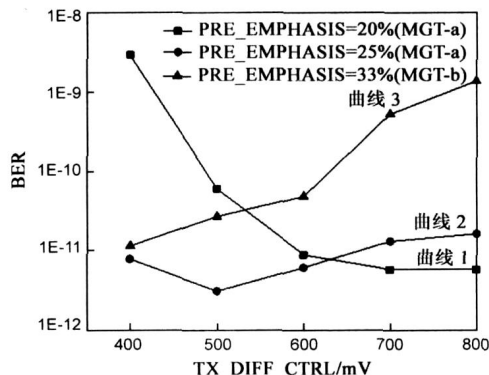


图 5 MGT 不同属性下的系统接口误码率

#### 4.2.4 误码率测量结果的分析和讨论

实验中, 当选择 10% 输出预加重时, 不论输出电压幅度增加多少, 通信链路均不能建立. 原因是输出信号高频分量经过约 20cm 的 PCB 走线和 40cm 的 SMA 同轴电缆, 衰减严重, 导致接收端不能从链路中提取并恢复参考时钟.

图 5 的曲线 1 表明, 当选择 20% 输出预加重时, 误码率随输出电压幅度增加而呈显著下降趋势. 说明输出电压幅度的增大改善了接收端信号的质量, 提高了接收端判决的准确性.

图 5 的曲线 2 和曲线 3 表明, 当选择 25% 输出预加重时, 误码率基本维持在  $1 \times 10^{-11}$  左右波动, 并有小幅上升. 而当选择 33% 输出预加重时, 误码率随输出电压幅度增加呈现升高的趋势, 说明在目前的实验环境下, 基于一定的电压幅度使用过高的预加重反而恶化了接收端信号质量. 预加重增加的能量超出了 SMA 传输线上衰减的能量.

因此, 通过这三条曲线可以看出, 误码率随各种参数变化较大. 在实际系统中, 可先按照此实验方法进行测试, 最后根据实际需求选择并确定参数.

另外, 由于存储模块间的高速串行链路也将被用于空间固态记录器原型系统与上行/下行设备的互连(图 1 中的“原始数据”和“外围下行设备”两个接口), 因此, 本文关于这种高速串行链路误码率和传输速率的实验结果、分析和讨论, 都可应用于空间固态记录器原型系统对外的接口链路.

## 5 结论

本文提出了一种新的基于多个 DDR SDRAM 存储模块高速串行互连的空固记录器体系结构, 并实现了原型系统. 目前系统已经调试完毕, 并进行了功能验证测试. 单个存储模块的容量为 8GB, 访存带宽达 3.2Gbps. 利用 FPGA 芯片集成的 8 个高速串行收发器来互连存储模块, 可以获得高达 25Gbps 的物理通信总带宽. 存储模块间的高速串行链路误码率可低于  $10^{-11}$ . 该实验结果表明, 这种新的体系结构完全可以满足未来对地观测卫星系统对于数据吞吐速率和通信带宽的增长需求.

存储模块中使用的单数据总线、双地址总线的存储拓扑结构很好地提高了模块自身的存储容量, 配合 FPGA 逻辑实现的存储控制器, 可以达到对大容量 DDR 存储资源有效地管理和控制. 另外, 系统所采用的高速串行互连方式非常适合固态记录器中多模块化的体系结构, 扩展性强. FPGA 内部存储控制器具有的可编程特性以及连线数目很少的串行互连方式, 也便于在空间环境下实现容错、冗余和抗辐照措施. 本文提出的这种基于高速串行互连的体系结构对于未来空间计算机系统的设计同样具有一定的借鉴意义.

#### 参考文献:

- [1] 詹辛农, 胡其正, 等. 航天数据固态记录器设计问题(上)[J]. 遥测遥控, 1999, 20(1): 19-27.  
Zhan Xirong, Hu Qizheng, et al. The design problem of space data solid state recorder(I) [J]. Journal of Telemetry, Tracking, and Command, 1999, 20(1): 19-27. (in Chinese)
- [2] 王晓东, 郝志航. 大容量固态记录器技术[J]. 光学精密工程, 2001, 9(4): 396-400.  
Wang Xiaodong, Hao Zhihang. Mass solid state recorder technology[J]. Optics and Precision Engineering, 2001, 9(4): 396-400. (in Chinese)
- [3] Bruce Kaufman. Design issues for use of flash memory devices in solid state recorders[A]. Sixth Biennial IEEE International Nonvolatile Memory Technology Conference[C]. Florida: IEEE Press, 1996. 140.
- [4] 高怡祯. 基于闪存的星载大容量存储器的研究和实现[J]. 电子技术应用, 2003, 29(8): 75-78.
- [5] Romney R Katti. Space data storage systems and technologies [J]. IEEE Trans on Magnetics, 1994, 30(6): 4194-4199.
- [6] Gary M Swift, Steven M Guertin. In flight observations of multiple bit upset in DRAMs[J]. IEEE Trans on Nuclear Science, 2000, 47(6): 2386-2391.
- [7] NASA Hubble Space Telescope website[EB/OL]. [http://hubble.nasa.gov/a\\_pdf/news/facts/FS15.pdf](http://hubble.nasa.gov/a_pdf/news/facts/FS15.pdf), 2006-09-04.

- [ 8 ] NASA Landsat 7 Spacecraft website [ EB/OL ] . [http://ltpwww.gsfc.nasa.gov/IAS/handbook/handbook\\_chapter2/chapter2.html](http://ltpwww.gsfc.nasa.gov/IAS/handbook/handbook_chapter2/chapter2.html), 2006 09 04.
- [ 9 ] Sharon X Ling, Richard F Conde, et al. A lightweight integrated electronics module (IEM) packaging design for the MESSENGER spacecraft[ A]. The 21st Digital Avionics Systems Conference[ C]. Florida: IEEE Press, 2002, 2: 9B4 1-9B4 9.
- [ 10 ] JAXA ALOS Satellite website[ EB/OL]. [http://www.eorc.jaxa.jp/ALOS/about/about\\_index.htm](http://www.eorc.jaxa.jp/ALOS/about/about_index.htm), 2006 09 04.
- [ 11 ] T Sasada, S Ichikawa, et al. Mass data recorder with ultrahigh density stacked memory for spacecraft[ A]. 2005 IEEE Aerospace Conference[ C]. Florida: IEEE Press, 2005, 1- 8.
- [ 12 ] 王芳, 李恪, 等. 空间太阳望远镜的星载固态存储器研制 [ J ]. 电子学报, 2004, 32( 3 ): 472-475.  
Wang Fang, Li Ke, et al. Development of onboard solid state recorder for space solar telescope[ J ]. Acta Electronica Sinica, 2004, 32( 3 ): 472- 475. ( in Chinese )
- [ 13 ] Xilinx Virtex II Pro and Virtex II Pro X FPGA User Guide, UG012 ( v4. 0 ) [ EB/OL ]. <http://www.xilinx.com>, 2006 09 04.
- [ 14 ] Xilinx RocketIO Transceiver User Guide, UG024 ( v2. 5 ) [ EB/OL ]. <http://www.xilinx.com>, 2006 09 04.
- [ 15 ] Justin Redd. Calculating statistical confidence levels for error probability estimates[ J ]. Lightwave, 2000: 110-140.

## 作者简介:



张科 男, 1982 年生于河南郑州, 中国科学院计算技术研究所博士生. 主要从事计算机体系结构和实时信号处理的研究工作.  
E-mail: zhangke@ict.ac.cn



郝智泉 男, 1978 年生于湖北黄梅, 主要从事实时信号处理和芯片设计的研究工作.



王贞松 男, 1945 年生于上海, 中科院计算所研究员、博士生导师. 从事 SAR 成像系统设计和实时信号处理的研究工作.